# Li RiscV使用

## 软件依赖

1.i-verilog

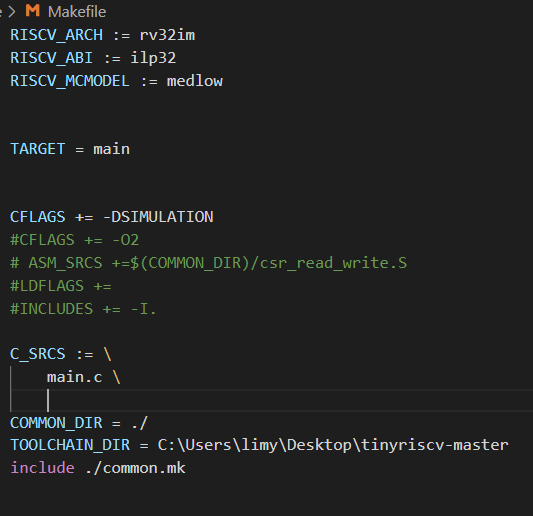
2.modelsim

3.python

4.riscv 编译工具链

## 系统级测试

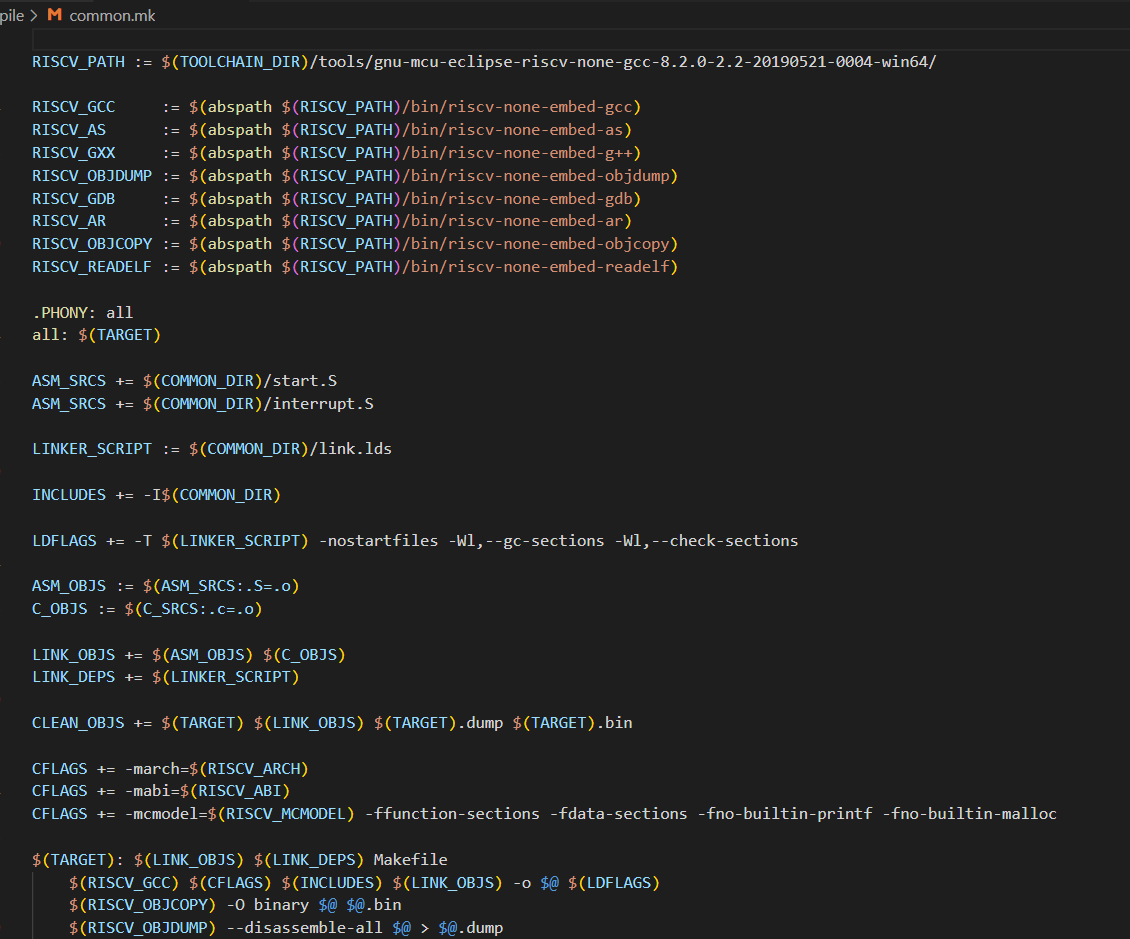
Cd到compile文件夹下（主要是为了和verilog文件分开，放在一起看起来太乱了），里面已经写好了编译脚本，执行make命令就能把main文件编译成riscv支持的指令，同时还会生成反汇编文件main.dump。





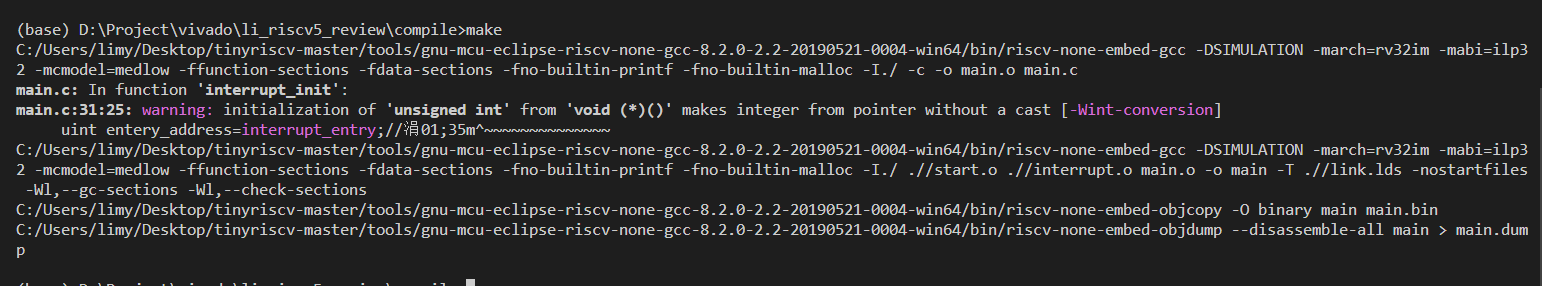
Makefile文件指定了编译对象的架构，工具链的位置，c源文件，汇编源文件。并且包含了common.mk文件。

Common.mk详细的配置了工具链的路径，指定了汇编文件和链接脚本，以及包含路径等。

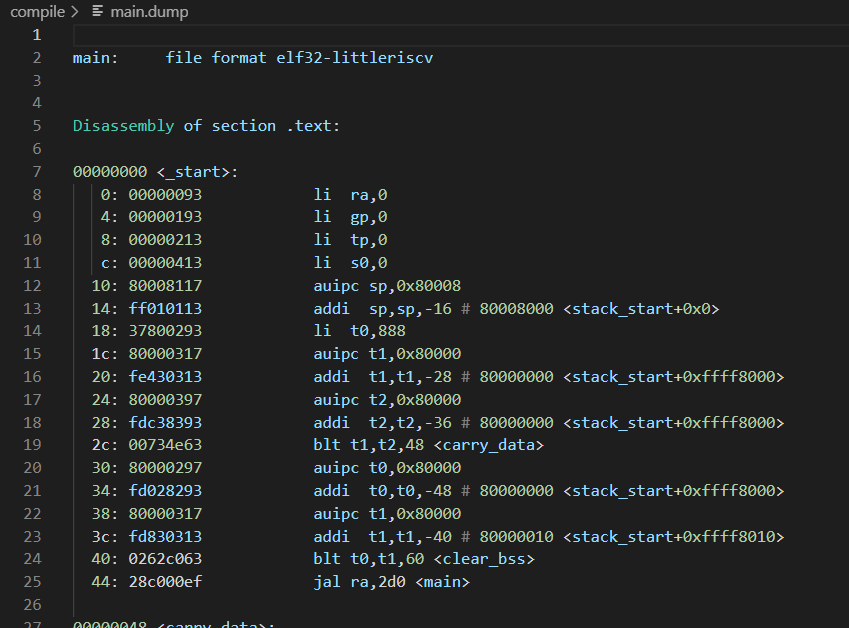


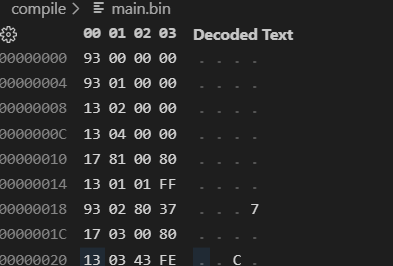


执行make命令：



生成dump文件和bin文件

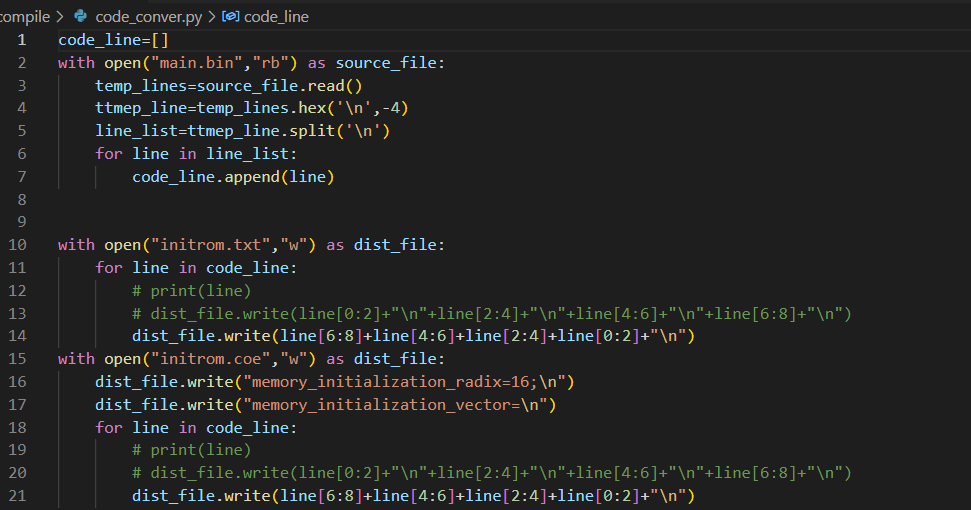


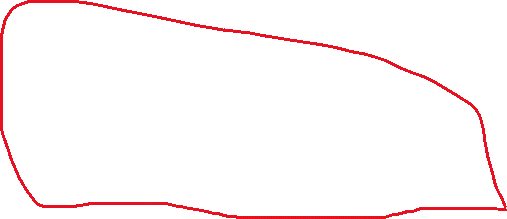


仿真时我们需要把bin文件给flash块，这样core才能运行起来，verilog支持用txt文件初始化内存块，这里提供了一个python脚本（把bin转换成txt）：

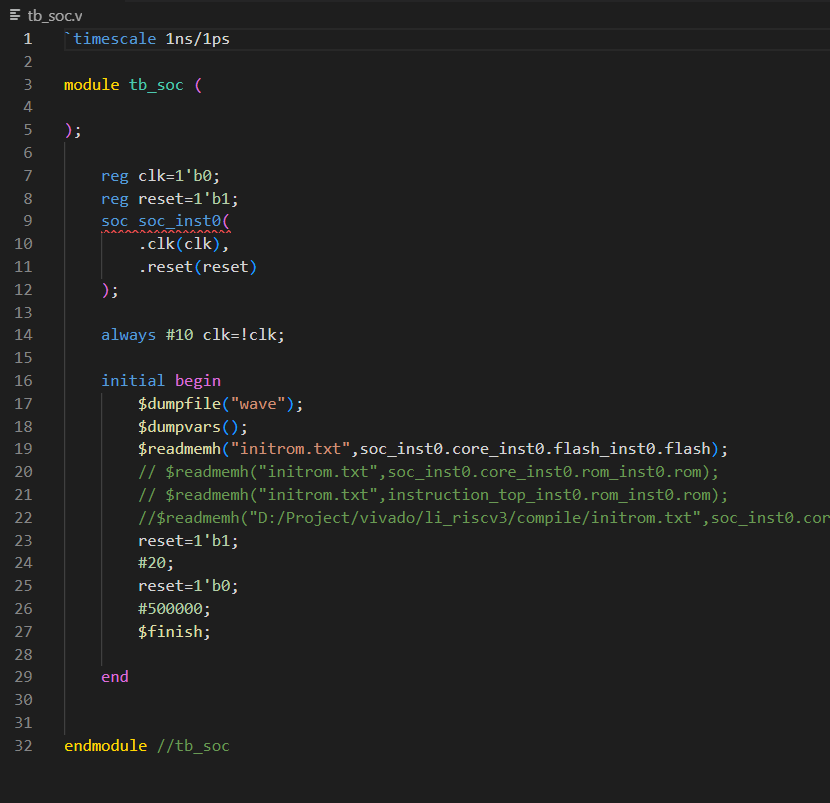
python code\_conver.py

其中coe文件是vivado初始化内存块用的，板级验证时会用到。



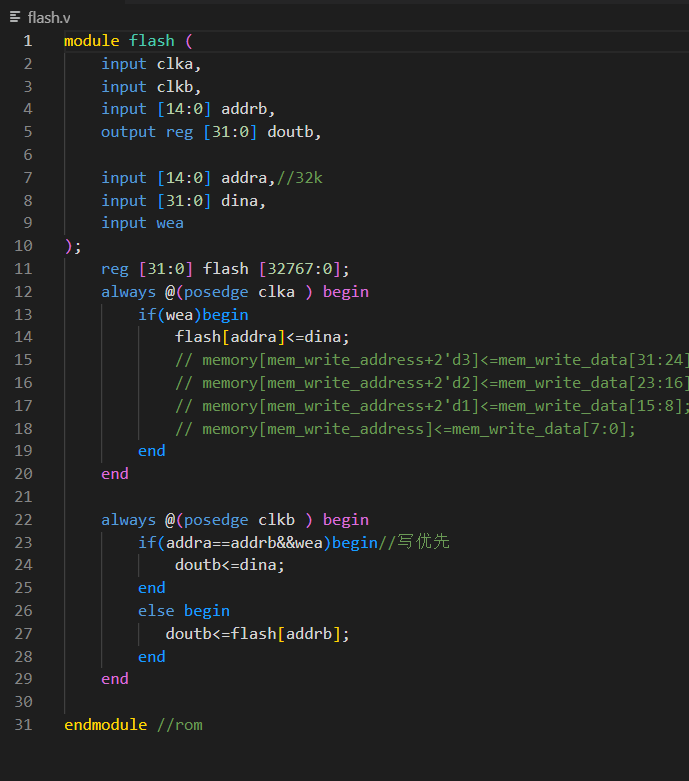


得到 initirom.txt文件后，就能在testbench文件中使用了：



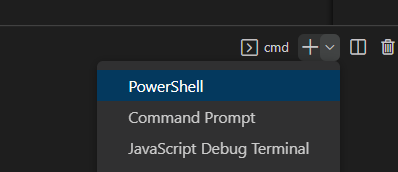


Initrom文件放在core的flash模块的flash里。

、



在终端里输入



终端用powershell终端

iverilog -o wave -y ..\ ..\tb\_soc.v ;

vvp wave ;

C:\modeltech64\_2020.4\win64\vcd2wlf.exe wave.vcd wave.wlf

第一条命令调用iverilog仿真tb\_soc.v文件，生成wave波形文件，-y指定仿真文件路径。

第二条命令将iverilog的文件转换成vcd格式的文件。

第三条命令将vcd格式的文件转换成wlf格式的文件，这样就能在modelsim中打开了。

